

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC955 U.S. PTO
10/016143
12/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 5月11日

出 願 番 号
Application Number:

特願2001-141894

出 願 人
Applicant(s):

三洋電機株式会社

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3103743

【書類名】 特許願

【整理番号】 KAA1010049

【提出日】 平成13年 5月11日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

 【氏名】 浅野 哲郎

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

 【氏名】 平井 利和

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話03-3837-7751 法務・知的財産部 東
京事務所

【手数料の表示】

 【予納台帳番号】 013033

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体スイッチ回路装置

【特許請求の範囲】

【請求項 1】 チャンネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第 1、第 2 および第 3、第 4 の F E T と、前記第 1、第 2 の F E T のそれぞれのソース電極あるいはドレイン電極に接続された第 1、第 2 の入力端子と、前記第 3、第 4 の F E T のそれぞれのソース電極あるいはドレイン電極に接続された第 3、第 4 の入力端子と、前記第 1、第 2 の F E T のドレイン電極あるいはソース電極に接続された第 1 の共通出力端子と、前記第 3、第 4 の F E T のドレイン電極あるいはソース電極に接続された第 2 の共通出力端子と、前記第 1、第 3 の F E T のそれぞれのゲート電極と第 1 の制御端子とを接続する接続手段と、前記第 2、第 4 の F E T のそれぞれのゲート電極と第 2 の制御端子とを接続する接続手段とを集積した化合物半導体チップと、

前記化合物半導体チップを固着される搭載部を有する絶縁基板と、

前記搭載部に設けた前記化合物半導体チップの各電極に対応する複数の外部電極と、

前記化合物半導体チップの各電極と前記外部電極とを接続する接続手段と、

前記化合物半導体チップを被覆する樹脂層とを具備し、

前記外部電極を絶縁基板の中心線に対して左右対称となるように配置し、且つ前記化合物半導体チップの各電極の位置と対応させたことを特徴とする化合物半導体スイッチ回路装置。

【請求項 2】 前記外部電極は前記絶縁基板の裏面に配置されていることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 3】 前記化合物半導体チップが 8 端子素子であり、前記外部電極を 8 個備えることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 4】 前記 8 個の外部電極は、前記絶縁基板の中心線に対して左右対称となるように 4 個ずつ配置し、且つ絶縁基板の一辺に沿って、前記第 1、第 2 の入力端子および前記第 3、第 4 の入力端子の順に、また前記絶縁基板の一辺の対辺に沿って、前記第 1 の制御端子、前記第 1 の共通出力端子、前記第 2 の共

通出力端子、前記第 2 の制御端子の順に配置していることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 5】 前記樹脂層の表面に前記外部電極の極性を表示する極性表示マークを形成したことを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は化合物半導体スイッチ回路装置、特に 2 連スイッチ回路を内蔵する化合物半導体スイッチ回路装置に関し、特にパッケージ外形を縮小し、実装面積を低減しコストダウンが可能な化合物半導体スイッチ回路装置に関する。

【 0 0 0 2 】

【従来の技術】

携帯電話等の移動体用通信機器では、GHz 帯のマイクロ波を使用している場合が多く、アンテナの切換回路や送受信の切換回路などに、これらの高周波信号を切り替えるためのスイッチ素子が用いられることが多い（例えば、特開平 9 - 1 8 1 6 4 2 号）。その素子としては、高周波を扱うことからガリウム・砒素（GaAs）を用いた電界効果トランジスタ（以下 FET という）を使用する事が多く、これに伴って前記スイッチ回路自体を集積化したモノリシックマイクロ波集積回路（MMIC）の開発が進められている。

【 0 0 0 3 】

図 9（A）は、GaAs MESFET の断面図を示している。ノンドープの GaAs 基板 1 の表面部分に N 型不純物をドーピングして N 型のチャネル領域 2 を形成し、チャネル領域 2 表面にショットキー接触するゲート電極 3 を配置し、ゲート電極 3 の両脇には GaAs 表面にオーミック接触するソース・ドレイン電極 4、5 を配置したものである。このトランジスタは、ゲート電極 3 の電位によって直下のチャネル領域 2 内に空乏層を形成し、もってソース電極 4 とドレイン電極 5 との間のチャネル電流を制御するものである。

【 0 0 0 4 】

図 9 (B) は、GaAs FET を用いた SPDT (Single Pole Double Throw) と呼ばれる化合物半導体スイッチ回路装置の原理的な回路図を示している。

【 0 0 0 5 】

第 1 と第 2 の FET 1、FET 2 のソース (又はドレイン) がそれぞれ入力端子 IN 1、IN 2 に接続され、FET 1、FET 2 のゲートがそれぞれ抵抗 R 1、R 2 を介して第 1 と第 2 の制御端子 Ct 1-1、Ct 1-2 に接続され、そして FET 1、FET 2 のドレイン (又はソース) が共通の出力端子 OUT に接続されたものである。第 1 と第 2 の制御端子 Ct 1-1、Ct 1-2 に印加される信号は相補信号であり、H レベルの信号が印加された FET が ON して、入力端子 IN 1 または IN 2 のいずれか一方の入力端子に印加された信号を、出力端子に伝達するようになっている。抵抗 R 1、R 2 は、交流接地となる制御端子 Ct 1-1、Ct 1-2 の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【 0 0 0 6 】

図 1 0 は、図 9 (B) に示す化合物半導体スイッチ回路装置を集積化した化合物半導体チップの 1 例を示している。

【 0 0 0 7 】

GaAs 基板にスイッチを行う FET 1 および FET 2 を中央部に配置し、各 FET のゲート電極に抵抗 R 1、R 2 が接続されている。また入力端子 IN 1、IN 2、共通出力端子 OUT、制御端子 Ct 1-1、Ct 1-2 に対応するパッドが基板の周辺に設けられている。なお、点線で示した第 2 層目の配線は各 FET のゲート電極形成時に同時に形成されるゲート金属層 (Ti/Pt/Au) 7 であり、実線で示した第 3 層目の配線は各素子の接続およびパッドの形成を行うパッド金属層 (Ti/Pt/Au) 8 である。第 1 層目の基板にオーミックに接触するオーミック金属層 (AuGe/Ni/Au) 6 は各 FET のソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図 1 0 では、パッド金属層と重なるために図示されていない。

【 0 0 0 8 】

ウエハからダイシングして分離した化合物半導体チップをリードフレームに固

着し、金型と樹脂注入によるトランスファーモールドによってリードフレーム上に固着された化合物半導体チップを封止し、封止された化合物半導体チップを個々の化合物半導体スイッチ装置毎に分離するという工程が行われている。このリードフレームには短冊状あるいはフープ状のフレームが用いられており、いずれにしろ1回の封止工程で複数個の化合物半導体スイッチ装置が同時に封止されている。

【0009】

図11は、上記のトランスファーモールドによって製造した化合物半導体スイッチ装置を示す図であり、(A)が平面図、(B)が断面図である。

【0010】

スイッチ素子が形成された化合物半導体チップ13がリードフレームのアイランド14上に半田等のろう材15によって固着実装され、化合物半導体チップ13の電極パッドとリード端子16とがワイヤ17で接続され、化合物半導体チップ13の周辺部分がモールド金型の形状に合致した樹脂18で被覆され、樹脂18の外部にリード端子16の先端部分が導出されたものである。

【0011】

【発明が解決しようとする課題】

携帯電話等の移動体用通信機器では、1台の機器で異なる2つの通信方式、例えばCDMA方式とGPS方式に対応しようとする、高周波信号を切り替えるためのスイッチ素子として、2回路2連スイッチの使用が極めて効果的である場合があり、その出現が強く望まれていた。

【0012】

上記した化合物半導体スイッチ回路装置は、1回路1連スイッチであり、これを単純に同一基板上に2組構成して1つのパッケージに納めてもピン数、サイズおよびプリント基板に実装したときの配線の容易さなどで何らメリットが存在しない。

【0013】

【課題を解決するための手段】

本発明は上述した諸々の事情に鑑み成されたもので、1組の相補信号である制

御信号で動作可能な 2 回路 2 連スイッチ素子を、必要最小限のピン数である 8 ピンで実現し、チップサイズも必要最小限に押さえ、外形を縮小した 8 ピンパッケージに組み込むことにより実現するものである。

【 0 0 1 4 】

すなわち、チャネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第 1、第 2 および第 3、第 4 の F E T と、前記第 1、第 2 の F E T のそれぞれのソース電極あるいはドレイン電極に接続された第 1、第 2 の入力端子と、前記第 3、第 4 の F E T のそれぞれのソース電極あるいはドレイン電極に接続された第 3、第 4 の入力端子と、前記第 1、第 2 の F E T のドレイン電極あるいはソース電極に接続された第 1 の共通出力端子と、前記第 3、第 4 の F E T のドレイン電極あるいはソース電極に接続された第 2 の共通出力端子と、前記第 1、第 3 の F E T のそれぞれのゲート電極と第 1 の制御端子とを接続する接続手段と、前記第 2、第 4 の F E T のそれぞれのゲート電極と第 2 の制御端子とを接続する接続手段とを集積した化合物半導体チップと、前記化合物半導体チップを固着される搭載部を有する絶縁基板と、前記搭載部に設けた前記化合物半導体チップの各電極に対応する複数の外部電極と、前記化合物半導体チップの各電極と前記外部電極とを接続する接続手段と、前記化合物半導体チップを被覆する樹脂層とを具備し、前記外部電極を絶縁基板の中心線に対して左右対称となるように配置し、且つ前記化合物半導体チップの各電極の位置と対応させたことを特徴とする。

【 0 0 1 5 】

【発明の実施の形態】

以下に本発明の実施の形態について図 1 から図 8 を参照して説明する。

【 0 0 1 6 】

図 1 は、本発明の化合物半導体スイッチ回路装置を示す回路図である。チャネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第 1、第 2 の F E T である F E T a 1、F E T a 2 および第 3、第 4 の F E T である F E T b 1、F E T b 2 と、第 1、第 2 の F E T のそれぞれのソース電極（あるいはドレイン電極）に接続された第 1、第 2 の入力端子である I N a 1、I N a 2 と、第 3、第 4 の F E T のそれぞれのソース電極（あるいはドレイン電極）に接続された

第3、第4の入力端子である $INb1$ 、 $INb2$ と、第1、第2のFETのドレイン電極（あるいはソース電極）に接続された第1の共通出力端子である $OUTa$ と、第3、第4のFETのドレイン電極（あるいはソース電極）に接続された第2の共通出力端子である $OUTb$ と、第1、第3のFETである $FETa1$ 、 $FETb1$ のそれぞれのゲート電極と第1の制御端子である $Ct1-1$ とを接続する抵抗 $Ra1$ 、 $Rb1$ と、第2、第4のFETである $FETa2$ 、 $FETb2$ のそれぞれのゲート電極と第2の制御端子である $Ct1-2$ とを接続する抵抗 $Ra2$ 、 $Rb2$ とから構成される。

【0017】

抵抗 $Ra1$ 、 $Ra2$ および $Rb1$ 、 $Rb2$ は、交流接地となる制御端子 $Ct1-1$ 、 $Ct1-2$ の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0018】

第1、第2のFETである $FETa1$ 、 $FETa2$ および第3、第4のFETである $FETb1$ 、 $FETb2$ はGaAs MESFET（デプレッション型FET）で構成され、GaAs基板に集積化される（図2参照）。

【0019】

図1に示す回路は、図9（B）に示すGaAs MESFETを用いたSPDT (Single Pole Double Throw) と呼ばれる化合物半導体スイッチ回路装置の原理的な回路2組で構成しているが、大きく異なる点はそれぞれの制御端子を共通化して、合計8ピンで2連スイッチ化している点である。

【0020】

次に、図1を参照して本発明の化合物半導体スイッチ回路装置の動作について説明する。

【0021】

第1と第2の制御端子 $Ct1-1$ 、 $Ct1-2$ に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、入力端子 $INa1$ または $INa2$ のどちらか一方に印加された入力信号および入力端子 $INb1$ または $INb2$ のどちらか一方に印加された入力信号を、それぞれ共通出力端子O

OUTaおよびOUTbに伝達するようになっている。

【0022】

例えば制御端子Ct1-1にHレベルの信号が印加されると、スイッチ素子であるFETa1、FETb1が導通し、それぞれ入力端子INa1の信号が出力端子OUTaに、また入力端子INb1の信号が出力端子OUTbに伝達される。次に制御端子Ct1-2にHレベルの信号が印加されると、スイッチ素子であるFETa2、FETb2が導通し、それぞれ入力端子INa2の信号が出力端子OUTaに、また入力端子INb2の信号が出力端子OUTbに伝達される。

【0023】

従って2種類の信号が存在し、そのいずれかを選択したい場合、例えば携帯電話等の移動体通信機器で用いられるCDMA方式の信号とGPS方式の信号が存在し、そのいずれかを選択したい場合、CDMA方式の信号（またはGPS方式の信号）を入力端子INa1とINb1に、GPS方式の信号（またはCDMA方式の信号）を入力端子INa2とINb2に接続すれば、出力端子OUTa、OUTbの両端から制御端子Ct1-1、Ct1-2に印加される制御信号のレベルに応じて、CDMA方式の信号またはGPS方式の信号を取り出すことができる。即ち2連スイッチ素子として動作する。

【0024】

図2は、本発明の化合物半導体スイッチ回路装置を集積化した化合物半導体チップ19の1例を示している。

【0025】

GaAs基板にスイッチを行う2組のペアFETa1、FETa2およびFETb1、FETb2を中央部の左右に配置し、各FETのゲート電極に抵抗Ra1、Ra2、Rb1、Rb2が接続されている。また入力端子INa1、INa2、INb1、INb2、共通出力端子OUTa、OUTb、制御端子Ct1-1、Ct1-2に対応するパッドが基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)7であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)8である。第

1層目の基板にオーミックに接触するオーミック金属層（AuGe/Ni/Au）6は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図2では、パッド金属層と重なるために図示されていない。

【0026】

図3は、化合物半導体チップ19をパッケージに組み込んで形成された化合物半導体スイッチ回路装置を示す図であり、（A）が平面図、（B）が断面図である。

【0027】

化合物半導体チップ19の各電極は図2に示す順に配置され、化合物半導体チップ19の各電極は、それぞれの位置と対応した位置の外部電極34と、それぞれワイヤ37、リード部35、スルーホール36およびスルーホール33を介して電氣的に接続されている。

【0028】

すなわち8個の外部電極34は、第1の絶縁基板22の中心線に対して左右対称となるように4個ずつ配置され、且つ第1の絶縁基板22の一辺に沿って、第1、第2の入力端子および第3、第4の入力端子の順に、また第1の絶縁基板22の一辺の対辺に沿って、第1の制御端子、第1の共通出力端子、第2の共通出力端子、第2の制御端子の順に配置されている。

【0029】

パッケージの周囲4側面は、樹脂層38と絶縁基板21の切断面で形成され、パッケージの上面は平坦化した樹脂層38の表面で形成され、パッケージの下面は第1の絶縁基板22の裏面側で形成される。

【0030】

第2の絶縁基板23は、第1の絶縁基板22のアイランド部25に対して高さの差を与える。この高さの差が、ワイヤボンダ時のボンダビリティを改善する。また、第2の絶縁基板23の板厚が、製造工程における機械的強度を維持する役割を果たす。

【0031】

この化合物半導体スイッチ回路装置は、第1の絶縁基板22の上には0.5 mm程度の樹脂層38が被覆して化合物半導体チップ19を封止している。化合物半導体チップ19は約150 μ m程度の厚みを有する。ボンディングワイヤ37は、最も高い箇所で化合物半導体チップ19の表面から約150 μ mの高さまで上昇したループを描く。アイランド部25とリード部35a、35b、35c、35dおよび35e、35f、35g、35hはパッケージの端面から後退されており、第1、第2および第4の接続部27、28および30（図5参照）の切断部分だけがパッケージ側面に露出する。

【0032】

なおパッケージ表面側は全面樹脂層38、裏面側の第1の絶縁基板22の外部電極34a、34b、34c、34dおよび34e、34f、34g、34h（図5参照）は、左右（上下）対称となるパターンで配置されており、電極の極性判別が困難になるので、樹脂層38の表面側に凹部を形成するか印刷するなどして、極性を表示するマークを刻印するのが好ましい。

【0033】

次に図4から図7を用いて、図3に示す構造を形成する製造方法の1例を詳細に説明する。

【0034】

第1工程：

先ず、図4に示したような、1個の化合物半導体スイッチ回路装置に対応する搭載部20を複数個分、例えば100個分を縦横に配置した、大判の絶縁基板21を準備する。絶縁基板21は、セラミックやガラスエポキシ等からなる絶縁基板であり、それらが1枚あるいは数枚重ね合わされて、合計の板厚が200～350 μ mと製造工程における機械的強度を維持し得る板厚を有している。以下は、第1の絶縁基板22（板厚：約100 μ m）の上に第2の絶縁基板23（板厚：約100 μ m）を重ね合わせて、大判の共通絶縁基板を形成した例を説明する。

【0035】

絶縁基板21の各搭載部20の表面には、タングステン等の金属ペーストの印

刷と、金の電解メッキによる導電パターンが形成されている。これらは、各々金属ペーストの印刷を終了した第1と第2の絶縁基板22、23を張り合わせ、焼成し、そして電解メッキ法によって金属ペースト上に金メッキ層を形成することによって得られる。

【0036】

図5(A)は第1の絶縁基板22の表面に形成した導電パターンを示す平面図、図5(B)は第1の絶縁基板22の裏面側に形成した導電パターンを示す平面図である。

【0037】

点線で囲んだ各搭載部20は、矩形形状を有しており、これらは互いに20～50 μ mの間隔を隔てて縦横に配置されている。間隔は後の工程でのダイシングライン24となる。導電パターンは、各搭載部20内においてアイランド部25とリード部26を形成し、これらのパターンは各搭載部20内において同一形状である。アイランド部25は化合物半導体チップ19を搭載する箇所であり、リード部26は化合物半導体チップ19の電極パッドとワイヤ接続する箇所である。

【0038】

アイランド部25からは2本の第1の連結部27が連続したパターンで延長される。これらの線幅はアイランド部25よりも狭い線幅で、例えば0.5mmの線幅で延在する。第1の連結部27はダイシングライン24を越えて隣の搭載部20のアイランド部25に連結するまで延在する。第1の連結部27は更に、搭載部20の周囲を取り囲む共通連結部32に連結する。

【0039】

更に、リード部26からは各々第2の連結部28が、第1の連結部27とは直交する方向に延在し、ダイシングライン24を越えて隣の搭載部20のリード部26に連結するまで延在し、それぞれ隣り合わせる第2の連結部28は、更に第3の連結部29によって、ダイシングライン24内において連結されている。

【0040】

更に搭載部20内の一辺の両端に位置するリード部26から各々第4の連結部

30が、第1の連結部27と平行し、第2の連結部28とは直交する方向に延在し、ダイシングライン24を越えて隣の搭載部20のリード部26に連結するまで延在する。第4の連結部30は更に、搭載部20の周囲を取り囲む共通連結部32に連結する。また第4の連結部30は、更に第5の連結部31によって、ダイシングライン24内において第1の連結部27と連結されている。

【0041】

このように第1、第2、第3、第4、第5の連結部27、28、29、30、31が延在することによって、各搭載部20のアイランド部25とリード部26とを電氣的に共通接続する。

【0042】

図5(B)を参照して、第1の絶縁基板22には、各搭載部20毎にスルーホール33が設けられている。スルーホール33の内部はタングステン等の導電材料によって埋設されている。そして、各スルーホール33に対応して、裏面側に外部電極34a、34b、34c、34dおよび34e、34f、34g、34hを形成する。これらの外部電極34a、34b、34c、34dおよび34e、34f、34g、34hは、搭載部20の端から0.05～0.1mm程度後退されたパターンで形成されている。電氣的には、各スルーホール33を介して共通連結部32に接続される。

【0043】

図6(A)は第1と第2の絶縁基板22、23を張り合わせた状態を示す平面図、図6(B)は同じく断面図である。

【0044】

第2の絶縁基板23にはアイランド部25の上部を開口する開口部40が設けられ、リード部26に対応する箇所には同じくリード部35a、35b、35c、35dおよび35e、35f、35g、35hが設けられる。第2の絶縁基板23のリード部35a、35b、35c、35dおよび35e、35f、35g、35hの下にはスルーホール36が設けられ、各々が第1の絶縁基板22表面のリード部26に電気接続する。従って、リード部35a、35b、35c、35dおよび35e、35f、35g、35hは各々外部電極34a、34b、3

4 c、3 4 d および 3 4 e、3 4 f、3 4 g、3 4 h に電気接続される。

【 0 0 4 5 】

これらのリード部 3 5 a、3 5 b、3 5 c、3 5 d および 3 5 e、3 5 f、3 5 g、3 5 h もまた、各搭載部 2 0 の端からは 0. 0 5 ~ 0. 1 m m 程度後退されたパターンで形成されている。即ち、ダイシングライン 2 4 を横断するのは線幅が狭い第 1、第 2 および第 4 の連結部 2 7、2 8 および 3 0 だけである。

【 0 0 4 6 】

そして、第 1 と第 2 の絶縁基板 2 2、2 3 を張り合わせた状態で、導電パターンを一方の電極とする電解メッキにより、導電パターンの上に金メッキ層を形成する。各導電パターンは共通連結部 3 2 によって電気接続されているので、電解メッキ手法を用いることが可能となる。但し第 1 と第 2 の絶縁基板 2 2、2 3 の張り合わせ面には形成されない。

【 0 0 4 7 】

第 2 工程：図 7 (A) 参照

斯様に金メッキ層を形成した絶縁基板 2 1 の各搭載部 2 0 毎に、化合物半導体チップ 1 9 をダイボンド、ワイヤボンドする。化合物半導体チップ 1 9 はアイランド部 2 5 表面に A g ペーストなどの接着剤によって固定し、化合物半導体チップ 1 9 の電極パッドとリード部 3 5 a、3 5 b、3 5 c、3 5 d および 3 5 e、3 5 f、3 5 g、3 5 h とを各々ワイヤ 3 7 で接続する。

【 0 0 4 8 】

第 3 工程：図 7 (B) 参照

絶縁基板 2 1 の上方に移送したディスペンサ（図示せず）から所定量のエポキシ系液体樹脂を滴下（ポッティング）し、全ての化合物半導体チップ 1 9 を共通の樹脂層 3 8 で被覆する。例えば 1 枚の絶縁基板 2 1 に 1 0 0 個の化合物半導体チップ 1 9 を搭載した場合は、1 0 0 個全ての化合物半導体チップ 1 9 を一括して被覆する。液体樹脂として例えば C V 5 7 6 A N（松下電工製）を用いた。滴下した液体樹脂は比較的粘性が高く、表面張力を有しているので、その表面が湾曲する。

【 0 0 4 9 】

第4工程：図7（C）参照

樹脂層38の湾曲した表面を、平坦面に加工する。加工するには、樹脂が硬化する前に平坦な成形部材を押圧して平坦面に加工する手法と、滴下した樹脂層38を100～200度、数時間の熱処理（キュア）にて硬化させた後に、湾曲面を研削することによって平坦面に加工する手法とが考えられる。研削にはダイシング装置を用い、ダイシングブレードによって樹脂層38の表面が絶縁基板21から一定の高さに揃うように、樹脂層38表面を削る。この工程では、樹脂層38の膜厚を0.3～1.0mmに成形する。平坦面は、少なくとも最も外側に位置する化合物半導体チップ19を個別化合物半導体スイッチ回路装置に分離したときに、規格化したパッケージサイズの樹脂外形を構成できるように、その端部まで拡張する。ブレードには様々な板厚のものが準備されており、比較的厚めのブレードを用いて、切削を複数回繰り返すことで全体を平坦面に形成する。

【0050】

第5工程：図7（D）参照

次に、搭載部20毎に樹脂層38を切断して各々の化合物半導体スイッチ回路装置に分離する。切断にはダイシング装置を用い、ダイシングブレード39によってダイシングライン24に沿って樹脂層38と絶縁基板21とを同時に切断することにより、搭載部20毎に分割した化合物半導体スイッチ回路装置を形成する。ダイシング工程においては、基板21の裏面側にブルーシート（例えば、商品名：UVシート、リンテック株式会社製）を貼り付け、ダイシングブレードがブルーシートの裏面に到達するような切削深さで切断する。この時には、絶縁基板21の表面にあらかじめ形成した合わせマークをダイシング装置側で自動認識し、これを位置基準として用いてダイシングする。

【0051】

上述の工程によって形成された化合物半導体スイッチ回路装置が図3に示したものである。

【0052】

図8に本発明による化合物半導体スイッチ回路装置の応用例を示す。

【0053】

2組の独立したスイッチ回路の、それぞれの制御端子を共通化しているので、図2に示す電極配置と同じ配置で外部電極を取り出すことにより、本発明による化合物半導体スイッチ回路装置を実装するプリント基板の設計が容易になる。

【0054】

図8に示すように2種類の入力信号があり、本発明による化合物半導体スイッチ回路装置を用いていずれか一方の信号を選択する場合、プリント基板の配線は1ヶ所の交差のみで設計することが可能となる。即ちINa1、INb1にA規格の信号、INa2、INb2にB規格の信号を入力し、Ct1-1、Ct1-2に印加される相補信号である制御信号のレベルに応じて、出力端子OUTa、OUTbにA規格またはB規格の信号を取り出して利用することができる。

【0055】

【発明の効果】

以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

【0056】

第1に、化合物半導体スイッチ素子のGaAs MESFETを用いて、1組の制御端子で、独立した2回路のスイッチング動作が可能な2連スイッチ回路装置を実現できる。これにより、例えば携帯電話等の移動体通信機器で用いられるCDMA方式の信号とGPS方式の信号が存在し、そのいずれかを選択したい場合、回路配置が簡素化されてプリント基板の実装面積を小さくできる。

【0057】

第2に、2個の独立したスイッチ回路を内蔵しているが制御端子を共通化しているので、パッケージサイズを小さく抑えられ、単一スイッチ回路装置を2個用いる場合よりも、プリント基板の実装面積を小さくできる。

【0058】

第3に、ピン数の増加を抑えて、リードフレームを用いたパッケージよりも小型化されたパッケージ構造としており、しかもリード端子が突出しない構造としているので、実装したときの占有面積を低減し、高密度実装を実現できる。

【図面の簡単な説明】

【図1】

本発明を説明するための回路図である。

【図 2】

本発明を説明するための平面図である。

【図 3】

本発明を説明するための (A) 平面図、(B) 断面図である。

【図 4】

本発明を説明するための斜視図である。

【図 5】

本発明を説明するための平面図である。

【図 6】

本発明を説明するための (A) 平面図、(B) 断面図である。

【図 7】

本発明を説明するための断面図である。

【図 8】

本発明の応用例を示す図である。

【図 9】

従来例を説明するための (A) 断面図、(B) 回路図である。

【図 1 0】

従来例を説明するための平面図である。

【図 1 1】

従来例を説明するための (A) 平面図、(B) 断面図である。

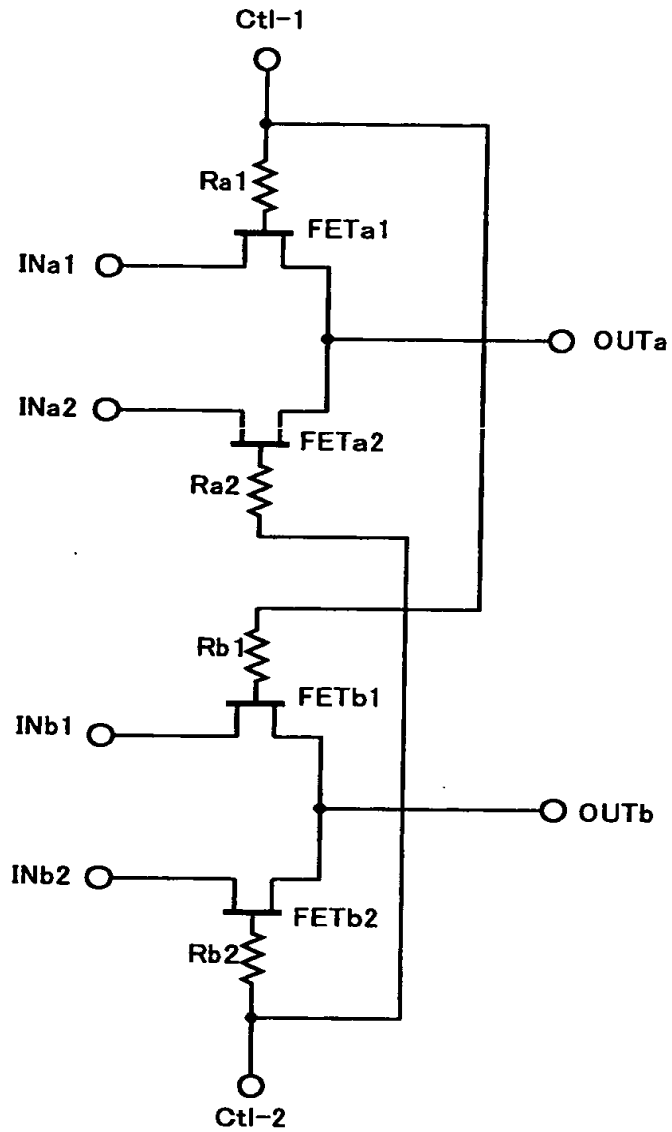
【符号の説明】

- 1 9 化合物半導体チップ
- 2 0 搭載部
- 2 1 絶縁基板
- 2 2 第 1 の絶縁基板
- 2 3 第 2 の絶縁基板
- 2 4 ダイシングライン

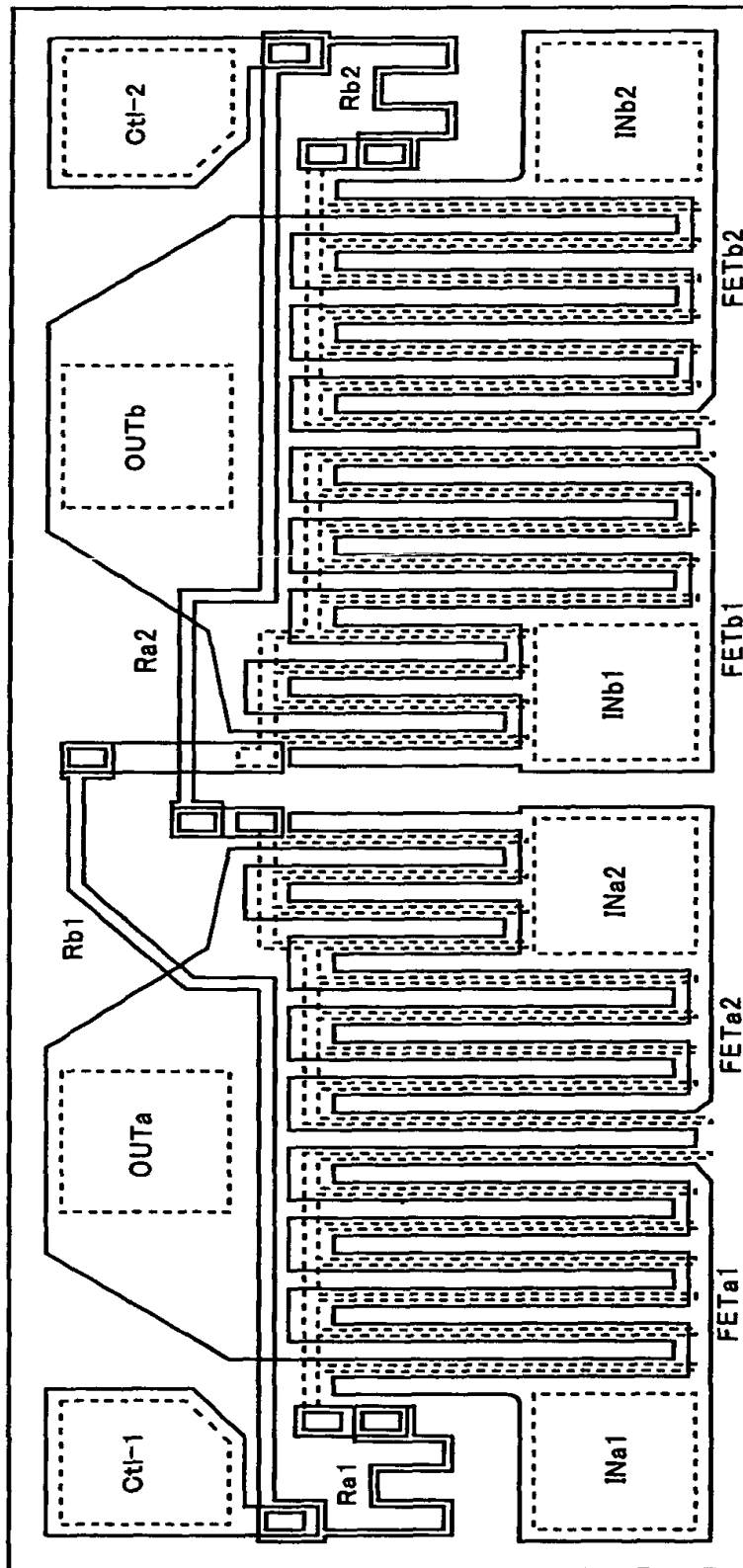
- 2 5 アイランド部
- 2 6 リード部
- 2 7 第 1 の連結部
- 2 8 第 2 の連結部
- 2 9 第 3 の連結部
- 3 0 第 4 の連結部
- 3 1 第 5 の連結部
- 3 2 共通連結部
- 3 3 スルーホール
- 3 4 外部電極
- 3 5 リード部
- 3 6 スルーホール
- 3 7 ワイヤ
- 3 8 樹脂層
- 3 9 ブレード
- 4 0 開口部

【書類名】 図面

【図 1】

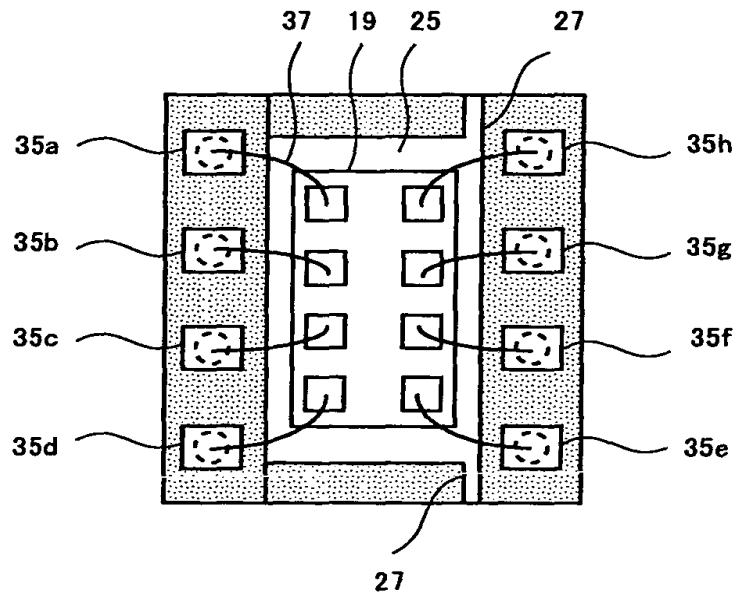


【図 2】

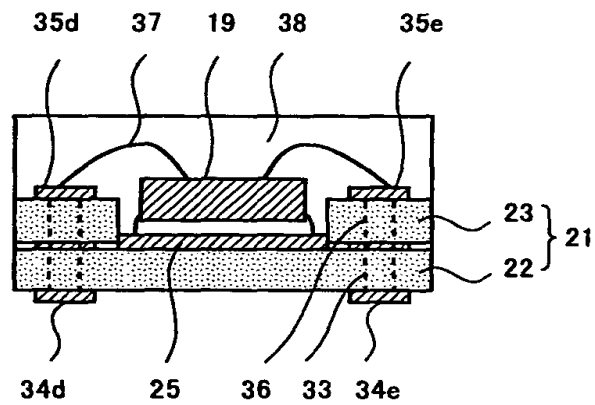


【図 3】

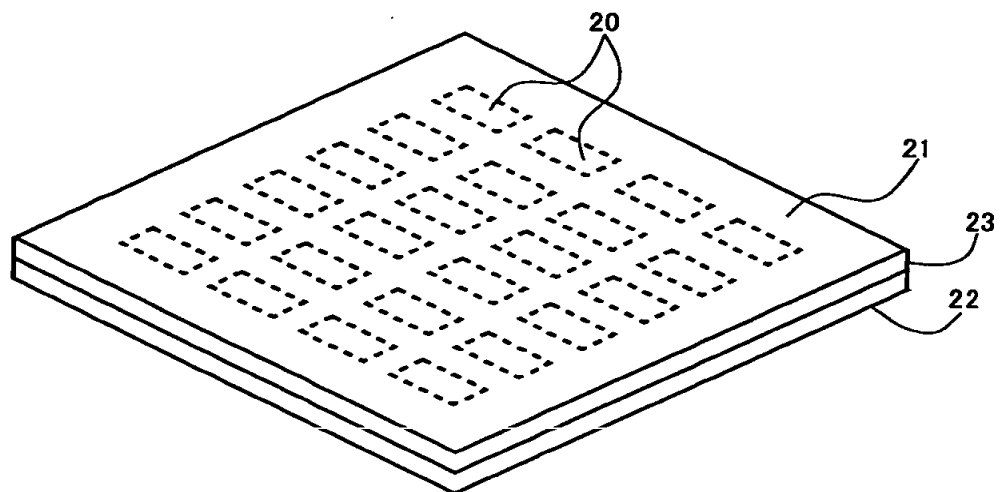
(A)



(B)

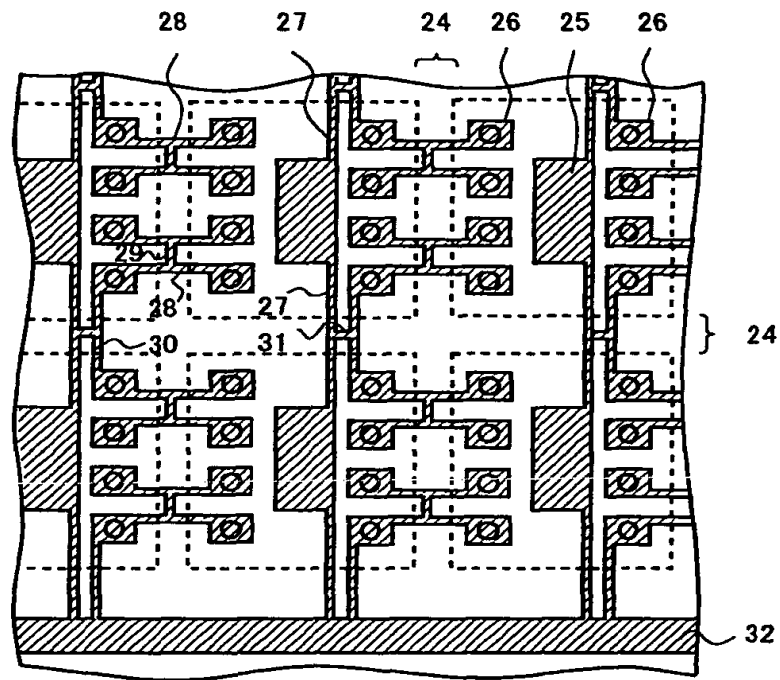


【図 4】

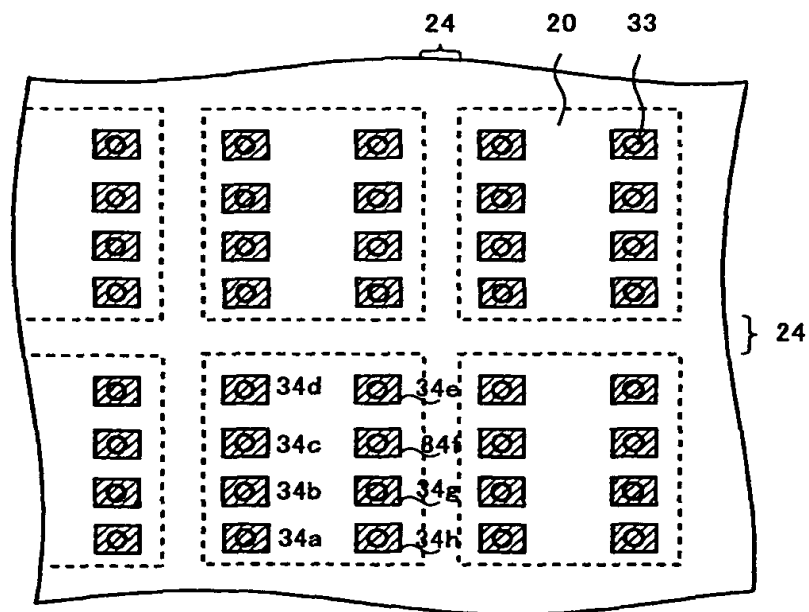


【図 5】

(A)

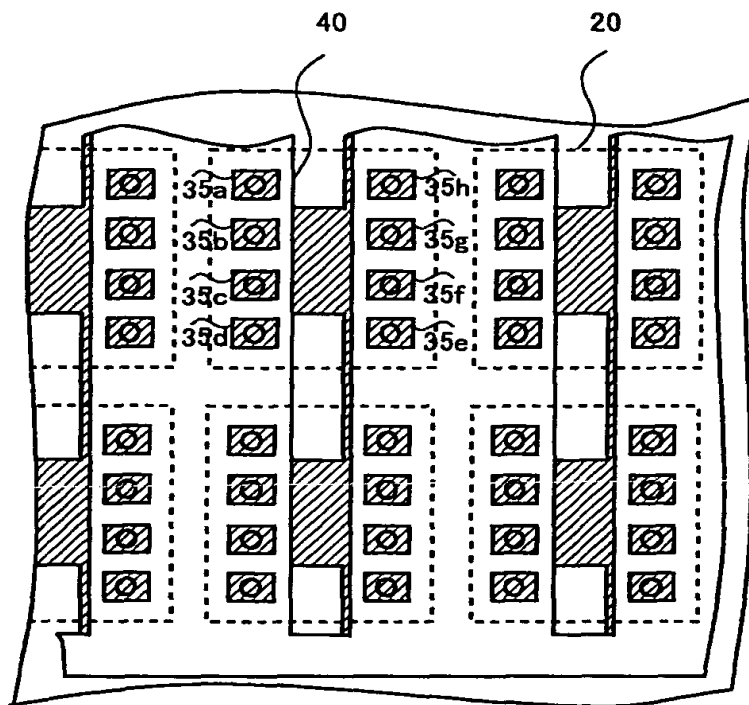


(B)

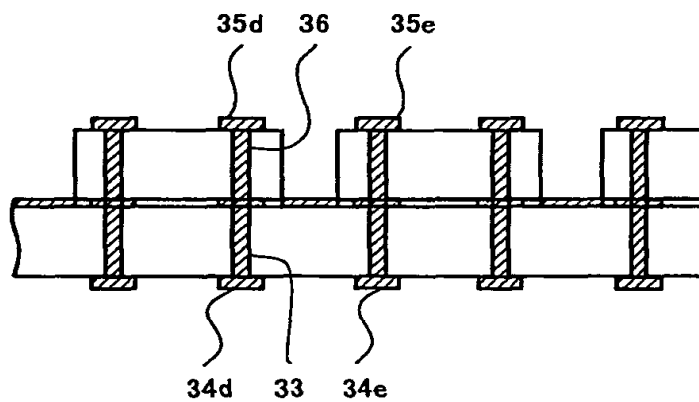


【図 6】

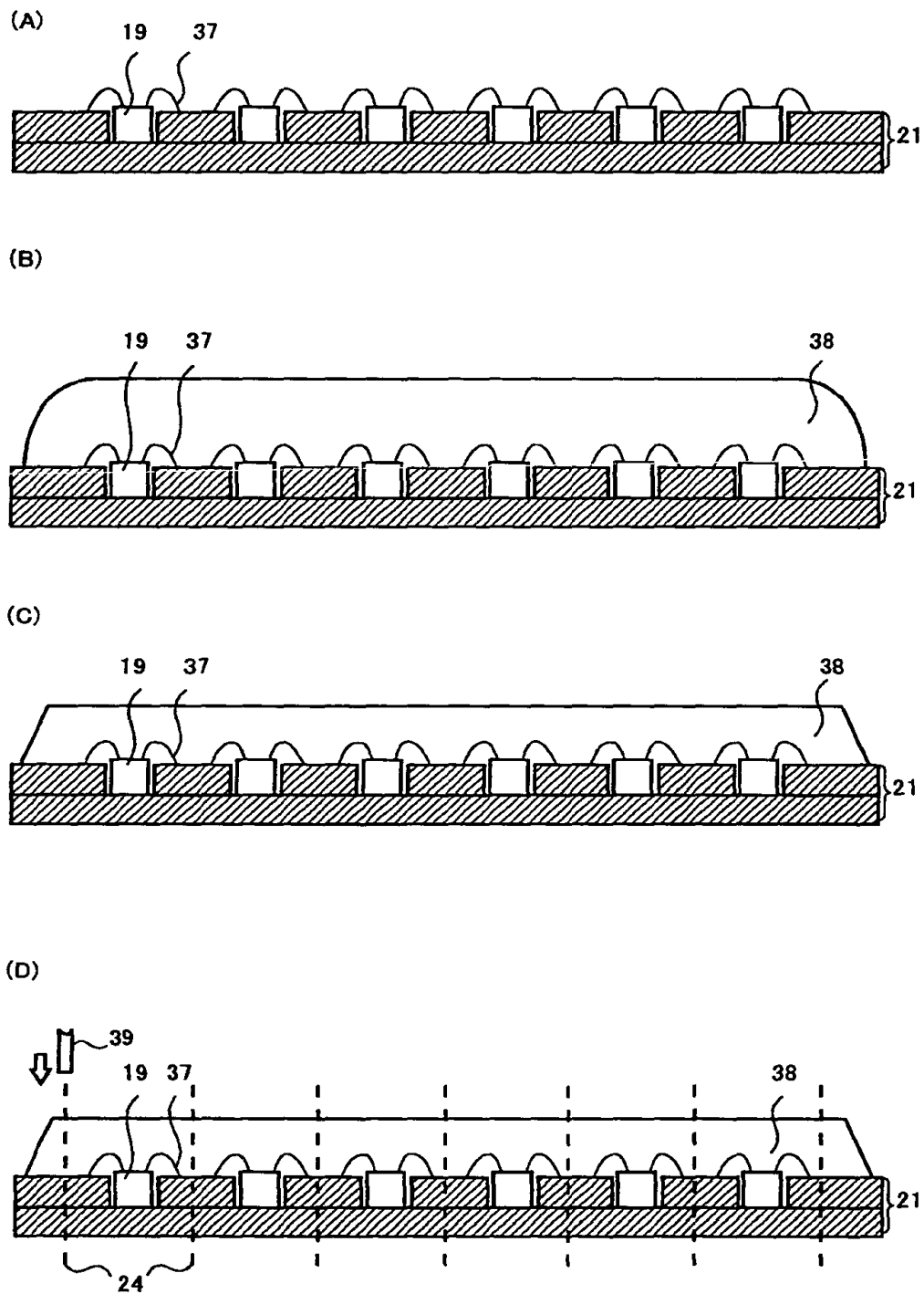
(A)



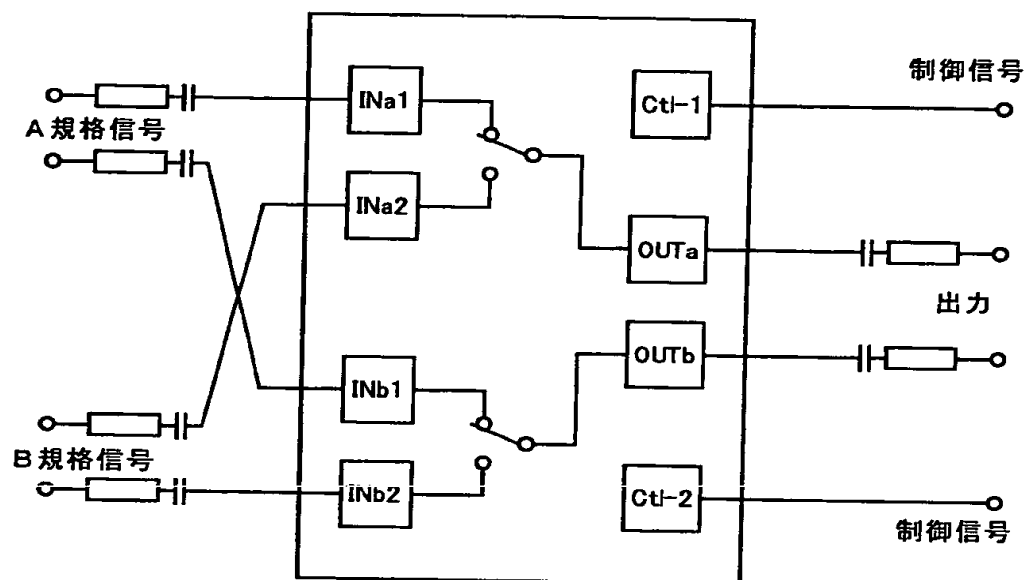
(B)



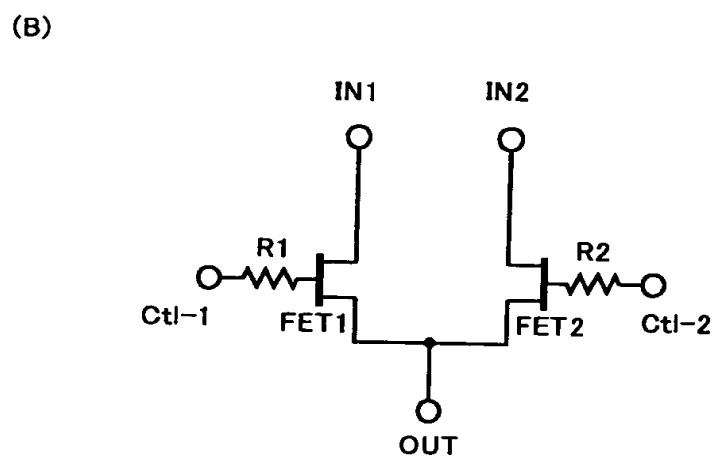
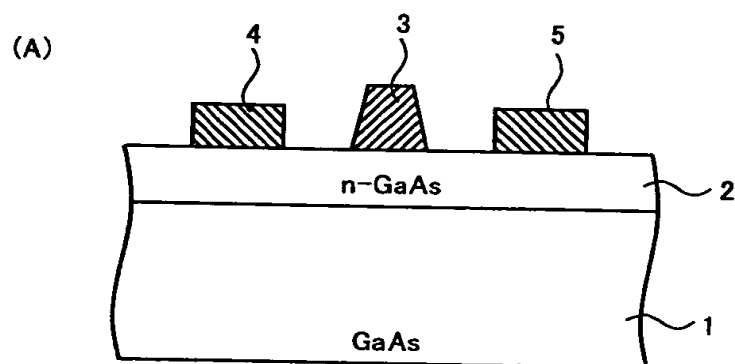
【図 7】



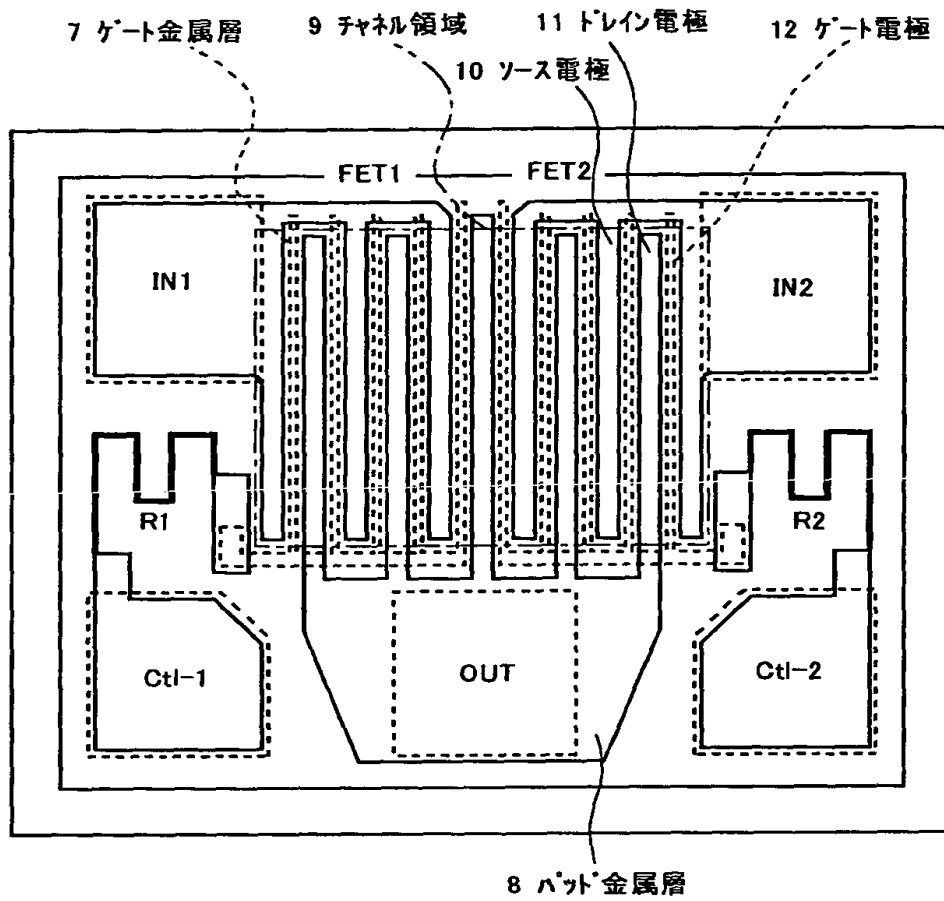
【図 8】



【図 9】

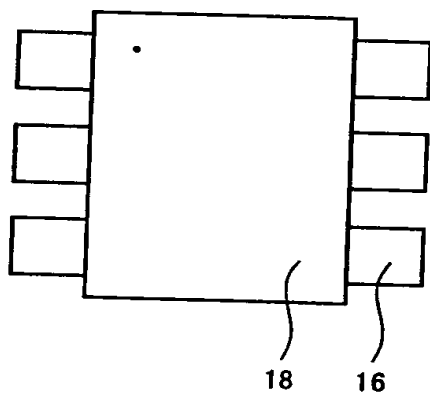


【図10】

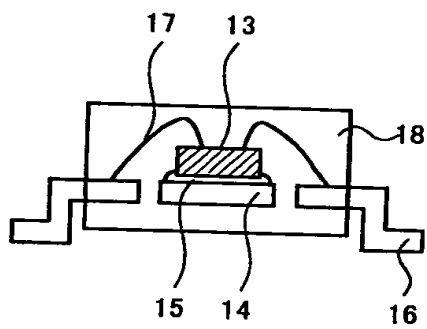


【図11】

(A)



(B)



【書類名】 要約書

【要約】

【課題】化合物半導体スイッチ回路装置で、2連スイッチの有用性は認められていたが、ピン数の増大、チップサイズの増大等の問題点があった。

【解決手段】2組の化合物半導体スイッチ回路のそれぞれの第1の制御端子と第1の制御端子および第2の制御端子と第2の制御端子を共通化して集積した化合物半導体チップ19と、化合物半導体チップ19を固着される搭載部20を有する絶縁基板21と、搭載部20に設けた化合物半導体チップ19の各電極に対応する複数の外部電極34と、化合物半導体チップ19の各電極と外部電極34とを接続する接続手段と、化合物半導体チップ19を被覆する樹脂層38とを具備し、外部電極34を絶縁基板21の中心線に対して左右対称となるように配置し、且つ化合物半導体チップ19の各電極の位置と対応させる。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社